

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-62925

(43)公開日 平成5年(1993)3月12日

(51)Int.Cl.⁵

H 0 1 L 21/28
21/3205
21/331

識別記号

3 0 1 A 7738-4M

庁内整理番号

7353-4M

7377-4M

F I

H 0 1 L 21/ 88

29/ 72

N

技術表示箇所

審査請求 未請求 請求項の数4(全 8 頁) 最終頁に続く

(21)出願番号

特願平3-219112

(22)出願日

平成3年(1991)8月30日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 高倉 俊彦 TAKAKURA

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(72)発明者 高橋 毅 TAKAHASHI

群馬県高崎市西横手町111番地 株式会社

日立製作所高崎工場内

(72)発明者 種岡 忠行

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(74)代理人 弁理士 筒井 大和

最終頁に続く

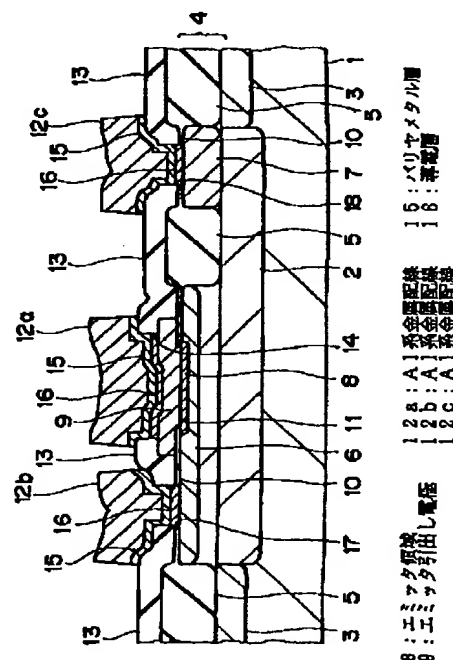
(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【目的】 多結晶シリコン電極の下部の半導体基板に形成された浅いp n接合のリーク電流を低減すると共に、上記多結晶シリコン電極とこれに接続されるAl系金属配線との間に良好なオーミック接続を実現する。

【構成】 バイポーラトランジスタのエミッタ領域8に接続された多結晶シリコンからなるエミッタ引出し電極9と、このエミッタ引出し電極9に接続されるAl系金属配線12aとの間に、AlSix (アルミニウムシリサイド)またはAl-Si合金からなる導電層16およびTiNまたはTiWからなるバリヤメタル層15を設けた。

図1



【特許請求の範囲】

【請求項1】 第一導電形の半導体基板に設けられた第二導電形の半導体領域に前記半導体領域と同じ導電形の多結晶シリコン電極を接続すると共に、前記多結晶シリコン電極にアルミニウム系金属配線を接続した半導体集積回路装置であって、前記多結晶シリコン電極と前記アルミニウム系金属配線との間にアルミニウムシリサイドまたはアルミニウム-シリコン合金からなる導電層を設けたことを特徴とする半導体集積回路装置。

【請求項2】 前記アルミニウム系金属配線と前記導電層との間にバリアメタル層を設けたことを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】 前記導電層の膜厚を前記多結晶シリコン電極の膜厚よりも薄くしたことを特徴とする請求項1または2記載の半導体集積回路装置。

【請求項4】 前記第二導電形の半導体領域は、バイポーラトランジスタのエミッタ領域であり、前記多結晶シリコン電極は、エミッタ引出し電極であることを特徴とする請求項1、2または3記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路装置に関し、特に、半導体基板への不純物導入を兼ねた多結晶シリコン電極を有する半導体集積回路装置に適用して有効な技術に関する。

【0002】

【従来の技術】バイポーラトランジスタの製造工程では、浅いベース、エミッタ接合を形成するために、半導体基板への不純物導入を兼ねた多結晶シリコンを用いてエミッタの電極引出しを行う、いわゆるドーフトポリシリコン技術が多用されている。

【0003】また、上記多結晶シリコンからなるエミッタ引出し電極とこれに接続されるアルミニウム(A1)系金属配線との間の接触抵抗を低減し、かつ両者の間に良好なオーミック接続を確保するための手段として、エミッタ引出し電極とA1系金属配線との間にプラチナシリサイド(PtSi)層を設ける技術が知られている。

【0004】なお、上記の従来技術については、例えば「ジャーナル オブ エレクトロケミカル ソサエティ、1989年7月(Journal of Electrochemical Society, Vol.136, No.7, July 1989)」pp.2063 などに記載がある。

【0005】

【発明が解決しようとする課題】ところが、多結晶シリコンからなるエミッタ引出し電極の上部にプラチナシリサイド層を設ける前記従来技術は、ベース、エミッタ接合の深さが0.1 μ m程度まで浅くなってくると、プラチナシリサイドが多結晶シリコンの結晶粒界や双晶などの欠陥領域を通じてエミッタ領域へ局所的に拡散、侵入

し、接合破壊を引き起こすことが本発明によって見出された。

【0006】また、400～500℃の熱処理工程を経る過程で上記接合が劣化し、リーク電流の増大することが本発明者によって観察された。

【0007】本発明は、上記した問題点に着目してなされたものであり、その目的は、多結晶シリコン電極の下部の半導体基板に形成される浅いpn接合の信頼性を確保すると共に、上記多結晶シリコン電極とこれに接続されるA1系金属配線との間に良好なオーミック接続を実現することのできる技術を提供することにある。

【0008】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0010】本発明の半導体集積回路装置は、エミッタ領域に接続された多結晶シリコンからなるエミッタ引出し電極と、このエミッタ引出し電極に接続されるA1系金属配線との間に、AlSi_x (アルミニウムシリサイド)またはAl-Si合金からなる導電層を設けたバイポーラトランジスタを有するものである。

【0011】

【作用】エミッタ引出し電極とA1系金属配線との間にAlSi_x またはAl-Si合金からなる導電層を設けることにより、エミッタ引出し電極とこれに接続されるA1系金属配線との間に良好なオーミック接続を実現することができる。

【0012】また、AlSi_x またはAl-Si合金は、従来技術におけるプラチナシリサイドに比べるとエミッタ領域に拡散、侵入し難いので、ベース、エミッタ接合を劣化させたり、破壊したりする虞れが少ない。

【0013】

【実施例】図1は、本発明の一実施例であるnpnバイポーラトランジスタを形成した半導体基板の要部を示す断面図である。

【0014】例えばp⁻形のシリコン(Si)単結晶からなる半導体基板1には、n⁺形の埋込み層2が設けられている。この埋込み層2の周囲には、p⁺形のチャネルストップ領域3が設けられている。

【0015】上記埋込み層2、チャネルストップ領域3の上部には、n⁻形のSiからなるエピタキシャル層4が設けられている。このエピタキシャル層4には、酸化珪素からなる素子分離用のフィールド絶縁膜5が設けられている。

【0016】上記埋込み層2の上部のエピタキシャル層4には、p⁺形のベース領域6およびn⁺形のコレクタ取出し領域7が設けられている。また、ベース領域6の

3

一部には、 n^+ 形のエミッタ領域8が設けられている。
 【0017】上記エミッタ領域8の上部には、 n^+ 形
 の多結晶Siからなるエミッタ引出し電極9が設けられて
 いる。このエミッタ引出し電極9とエミッタ領域8と
 は、エミッタ領域8の上部の酸化珪素膜10に設けた接
 続孔11を通じて電氣的に接続されている。エミッタ領
 域8は、エミッタ引出し電極9中にドーブされた n 形不
 純物をベース領域6の一部に熱拡散させることによって
 形成される。

【0018】上記エミッタ引出し電極9の上部には、A 10
 1系金属配線12aが設けられている。このA1系金属
 配線12aは、エミッタ引出し電極9の上部の層間絶縁
 膜13に設けた接続孔14を通じてエミッタ引出し電極
 9と電氣的に接続されている。

【0019】上記A1系金属配線12aは、例えばCu
 およびSiを添加したAl合金からなり、層間絶縁膜1
 3は、例えばBPSG(Boro Phospho Silicate Glass)
 からなる。

【0020】本実施例のバイポーラトランジスタは、上
 記A1系金属配線12aの下部にTiNまたはTiWからなる
 バリヤメタル層15を設け、さらにこのバリヤメ
 タル層15とエミッタ引出し電極9との間に、AlSi
 x またはAl-Si合金からなる導電層16を設けてい
 る。

【0021】上記導電層16を設けたことにより、エミ
 ッタ引出し電極9とA1系金属配線12aとの間に良好
 なオーミック接続を実現することができる。

【0022】また、上記導電層16を構成するAlSi
 x またはAl-Si合金は、従来技術におけるプラチナ
 シリサイドに比べてエミッタ領域8に拡散、侵入し難い
 性質があるので、ベース、エミッタ接合の信頼性が向上
 する。

【0023】さらに、A1系金属配線12aの下部にバ
 リヤメタル層15を設けたことにより、A1系金属配線
 12a中のAlと多結晶シリコンとの合金反応を防止す
 ることができる。

【0024】前記ベース領域6は、その上部の酸化珪素
 膜10および層間絶縁膜13に設けた接続孔17を通じ
 てA1系金属配線12bと電氣的に接続されており、前
 記コレクタ取出し領域7は、その上部の酸化珪素膜10
 および層間絶縁膜13に設けた接続孔18を通じてA1
 系金属配線12cと電氣的に接続されている。

【0025】上記ベース領域6とA1系金属配線12b
 との間、および上記コレクタ取出し領域7とA1系金属
 配線12cとの間には、前記導電層16およびバリヤメ
 タル層15がそれぞれ設けられている。

【0026】なお、図示はしないが、上記A1系金属配
 線12a、12b、12cの上部には、例えば酸化珪素
 と窒化珪素との積層膜からなるパッシベーション膜が設
 けられている。

4

【0027】次に、図2乃至図10を用いて上記バイポ
 ーラトランジスタの製造方法の一例を説明する。

【0028】まず、図2に示すように、半導体基板1に
 Sb、Bをそれぞれドーブして n^+ 形の埋込み層2、 p^+
 形のチャネルストッパ領域3を形成した後、半導体基
 板1の全面に n^- 形のエピタキシャル層4を成長させ
 る。

【0029】次に、図3に示すように、半導体基板1を
 熱酸化してエピタキシャル層4の表面に薄い酸化珪素膜
 10を形成した後、CVD法を用いて酸化珪素膜10の
 上部に窒化珪素膜19を堆積し、続いて、素子分離領域
 の窒化珪素膜19をエッチングで除去する。

【0030】次に、図4に示すように、半導体基板1を
 熱酸化して素子分離用の厚いフィールド絶縁膜5を形成
 した後、前記窒化珪素膜19をエッチングで除去する。

【0031】次に、図5に示すように、エピタキシャル
 層4にP、Bをそれぞれドーブして n^+ 形のコレクタ取
 出し領域7および p^+ 形のベース領域6を形成する。

【0032】次に、図6に示すように、ベース領域6の
 上部の酸化珪素膜10をエッチングしてエミッタ形成用
 の接続孔11を形成した後、CVD法を用いて半導体基
 板1の全面にエミッタ引出し電極用の多結晶シリコン膜
 9aを堆積し、続いて、この多結晶シリコン膜9aにAs
 をイオン注入する。

【0033】次に、図7に示すように、半導体基板1を
 熱処理して多結晶シリコン膜9a中のAsをベース領域
 6の一部に拡散させて n^+ 形のエミッタ領域8を形成し
 た後、多結晶シリコン膜9aをパターニングすること
 によって、エミッタ引出し電極9を形成する。次に、図8
 に示すように、CVD法を用いて半導体基板1の全面に
 層間絶縁膜13を堆積した後、この層間絶縁膜13およ
 びベース領域6、コレクタ取出し領域7の上部の酸化珪
 素膜10をそれぞれエッチングして配線接続用の接続孔
 14、17、18を形成する。

【0034】次に、図9に示すように、スパッタ法を用
 いて半導体基板1の全面にAl膜16aを堆積する。こ
 のAl膜16aは、少なくともエミッタ引出し電極9を
 構成する多結晶シリコン膜9aの膜厚よりも薄く堆積
 する必要がある。Al膜16aの膜厚が厚い場合は、膜中
 のAlが多結晶シリコン膜9aの結晶粒界や双晶などの
 欠陥領域を通じてエミッタ領域8へ拡散、侵入する虞れ
 がある。

【0035】続いて、半導体基板1を熱処理して多結晶
 シリコン膜9aとAl膜16aとの界面にAlSi_x また
 はAl-Si合金からなる導電層16を形成する。また、
 同時にベース領域6とAl膜16aとの界面および
 コレクタ取出し領域7とAl膜16aとの界面にも導電
 層16を形成する。

【0036】なお、上記Al膜16aをシリサイド化ま
 たは合金化する方法に代えて、AlSi_x 膜またはAl

-Si合金膜を半導体基板1の全面に堆積して導電層16を形成することもできる。

【0037】次に、図10に示すように、層間絶縁膜13の上部のAl膜16aをエッチングで除去した後、スパッタ法を用いて半導体基板1の全面に図示しないバリヤメタル膜およびAl合金膜を堆積し、これらをパターニングしてバリヤメタル層15およびAl系金属配線12a, 12b, 12cを形成することにより、前記図1に示すnpnバイポーラトランジスタが完成する。

【0038】なお、上記の方法に代えて、半導体基板1の全面にAl膜16a (AlSix膜またはAl-Si合金膜でもよい)、バリヤメタル膜およびAl合金膜を順次堆積し、これらをパターニングして導電層16、バリヤメタル層15およびAl系金属配線12a, 12b, 12cを同時に形成してもよい。

【0039】このように、本実施例によれば、Al系金属配線12aとエミッタ引出し電極9との間に、バリヤメタル層15とAlSixまたはAl-Si合金からなる導電層16とを設けたことにより、ベース、エミッタ接合の信頼性が確保されると共に、エミッタ引出し電極9とAl系金属配線12aとの間に良好なオーミック接続が得られるため、0.1 μ m程度の浅いベース、エミッタ接合を有するバイポーラトランジスタの製造歩留り、信頼性を向上させることができる。

【0040】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0041】以上の説明では、多結晶シリコンからなるエミッタ引出し電極を有するバイポーラトランジスタに適用した場合について説明したが、例えば多結晶シリコンからなるベース引出し電極を有するバイポーラトランジスタに適用することもできる。

【0042】本発明は、少なくとも半導体基板に形成されたpn接合に不純物導入を兼ねた多結晶シリコン電極を接続した構成の半導体集積回路装置一般に適用することができる。

【0043】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0044】本発明によれば、多結晶シリコン電極の下部の半導体基板に形成される浅いpn接合の信頼性を確保されると共に、上記多結晶シリコン電極とこれに接続されるAl系金属配線との間に良好なオーミック接続が得られる。

【図面の簡単な説明】

【図1】本発明の一実施例である半導体集積回路装置を示す半導体基板の要部断面図である。

【図2】この半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図3】この半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図4】この半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図5】この半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図6】この半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図7】この半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図8】この半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図9】この半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

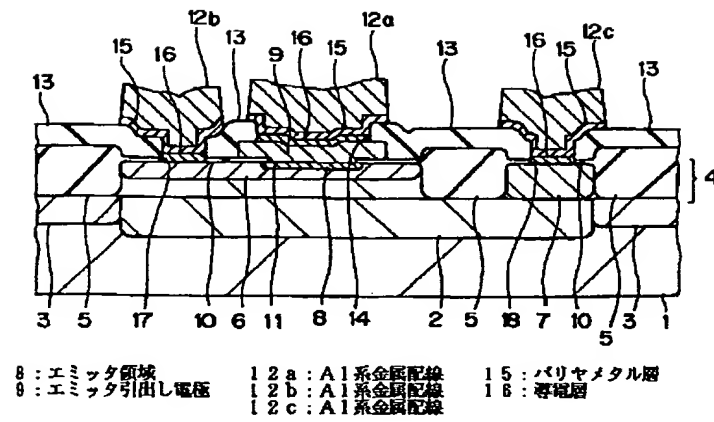
【図10】この半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【符号の説明】

- 1 半導体基板
- 2 埋込み層
- 3 チャネルストッパ領域
- 4 エピタキシャル層
- 5 フィールド絶縁膜
- 6 ベース領域
- 7 コレクタ取出し領域
- 8 エミッタ領域
- 9 エミッタ引出し電極
- 9a 多結晶シリコン膜
- 10 酸化珪素膜
- 11 接続孔
- 12a Al系金属配線
- 12b Al系金属配線
- 12c Al系金属配線
- 13 層間絶縁膜
- 14 接続孔
- 15 バリヤメタル層
- 16 導電層
- 16a Al膜
- 17 接続孔
- 18 接続孔
- 19 窒化珪素膜

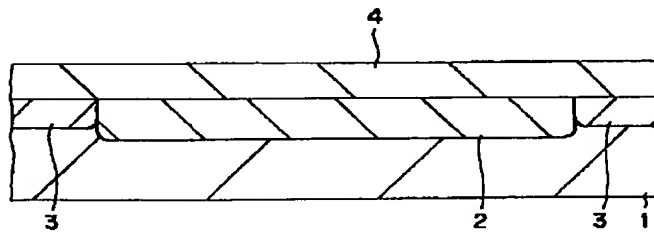
【図1】

図 1



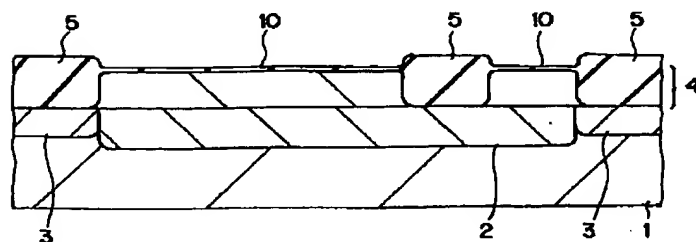
【図2】

図 2



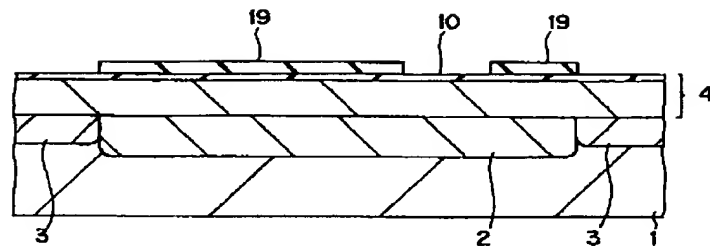
【図4】

図 4



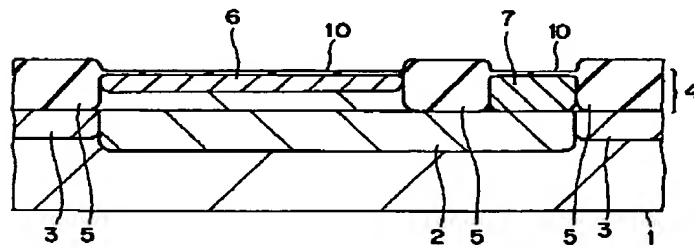
【図3】

図 3



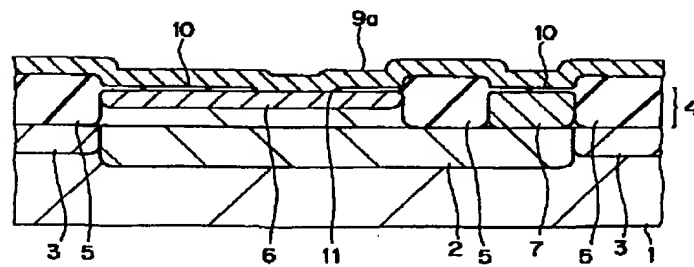
【図5】

図 5



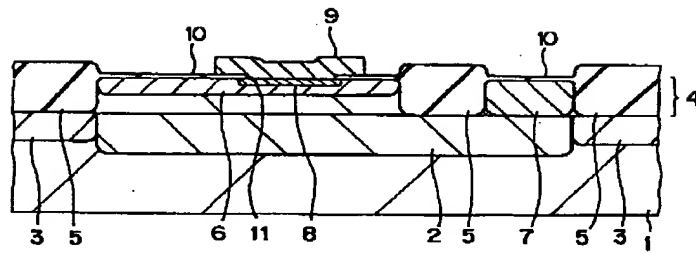
【図6】

図 6



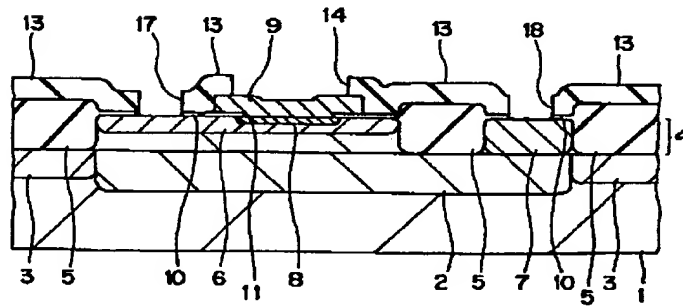
【図7】

図7



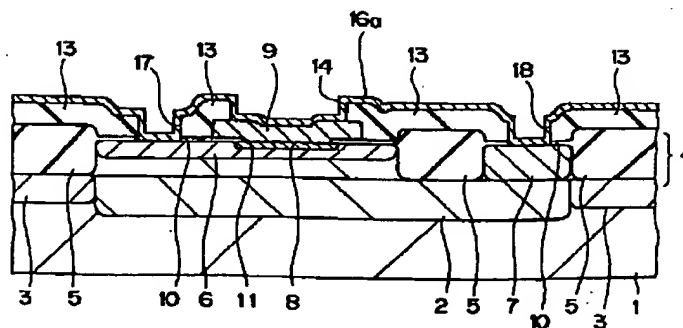
【図8】

図8



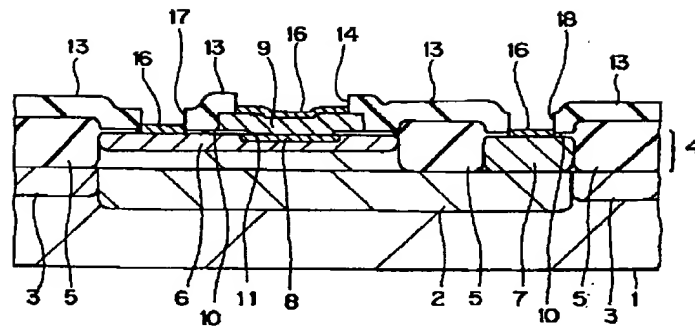
【図9】

図9



【図10】

図10



フロントページの続き

(51)Int. Cl.⁶
H01L 29/73

識別記号 片内整理番号

F I

技術表示箇所

(72)発明者 秋森 博子
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72)発明者 西沢 裕孝
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内